



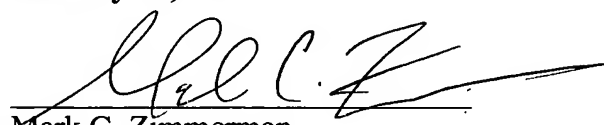
PATENT
Docket No. 20063/OG03-023

IN THE UNITED STATES PATENT
AND TRADEMARK OFFICE

Applicant(s): Kwan Joo KO
Serial No.: 10/750,249
Filed: December 31, 2003
For: "Methods of Forming Quantum
Dots in Semiconductor Devices"
Group Art Unit: Unknown
Examiner: Not Yet Assigned

) I hereby certify that the documents
) referred to as enclosed herewith are
) being deposited with the United States
) Postal Service, first class postage
) prepaid, in an envelope addressed to
) the Commissioner for Patents, P.O.
) Box 1450, Alexandria, Virginia
) 22313-1450 on this date:

) **January 22, 2004**

) 
) Mark C. Zimmerman

) Reg. No. 44,006

TRANSMITTAL OF PRIORITY DOCUMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450

Sir:

Enclosed herewith is a certified copy of Korean Patent Application Serial No.
10-2003-0044450 filed July 2, 2003, the priority of which is claimed under 35 U.S.C.
§ 119.

Respectfully submitted,

GROSSMAN & FLIGHT, LLC.
Suite 4220
20 North Wacker Drive
Chicago, Illinois 60606
(312) 580-1020

By:


Mark C. Zimmerman
Registration No.: 44,006

January 22, 2004



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출 원 번 호 : 10-2003-0044450
Application Number

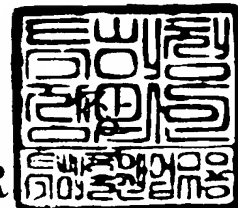
출 원 년 월 일 : 2003년 07월 02일
Date of Application JUL 02, 2003

출 원 인 : 아남반도체 주식회사
Applicant(s) ANAM SEMICONDUCTOR., Ltd.



2003 년 12 월 19 일

특 허 청
COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.07.02
【국제특허분류】	H01L
【발명의 명칭】	반도체 소자의 양자점 형성방법
【발명의 영문명칭】	Method for forming quantum dot in semiconductor device
【출원인】	
【명칭】	아남반도체 주식회사
【출원인코드】	1-1998-002671-9
【대리인】	
【성명】	서천석
【대리인코드】	9-2002-000233-5
【포괄위임등록번호】	2003-002029-1
【발명자】	
【성명의 국문표기】	고관주
【성명의 영문표기】	KO, Kwan Joo
【주민등록번호】	691123-1622428
【우편번호】	420-729
【주소】	경기도 부천시 원미구 중4동 금강마을 407동 101호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 서천석 (인)
【수수료】	
【기본출원료】	14 면 29,000 원
【가산출원료】	0 면 0 원
【우선권주장료】	0 건 0 원
【심사청구료】	7 항 333,000 원
【합계】	362,000 원

【요약서】**【요약】**

본 발명은 금속 나노 클러스터를 이용하여 수십 나노미터 크기의 양자점을 이용하여 제조된 비휘발성 단전자 트랜지스터의 제조 방법에 관한 것이다.

본 발명의 상기 목적은 실리콘 기판위에 금속 클러스터를 밀도를 조절하여 흡착시키는 제 1공정, 상기 금속 클러스터가 흡착된 기판을 가열하면서 실리콘을 성장시키는 제 2공정, 상기 금속 클러스터를 제거하는 제 3공정, 상기 기판에 실리콘 산화막을 형성하는 제 4공정 및 상기 산화막 상부에 폴리를 증착하고 상기 폴리 및 산화막을 패터닝하는 제 5공정을 포함하는 것을 특징으로 하는 반도체 소자의 양자점 형성방법에 의해 달성된다.

따라서, 본 발명의 반도체 소자의 양자점 형성 방법은 금속 나노 클러스터를 마스크로 하여 실리콘 양자점을 생성시키므로써 수 ~ 수십 나노미터의 미세하고 균일한 특성의 실리콘 양자점을 규칙적으로 형성할 수 있는 효과가 있다.

【대표도】

도 3f

【색인어】

Quantum dot, F-N Tunneling, 성장, 금속 클러스터

【명세서】**【발명의 명칭】**

반도체 소자의 양자점 형성방법{Method for forming quantum dot in semiconductor device

【도면의 간단한 설명】

도 1은 양자점이 형성된 반도체 소자의 개념도.

도 2는 라이팅시 채널에 존재하는 전자의 이동에 대한 설명도.

도 3a 내지 도 3f는 본 발명에 따른 양자점 형성 방법의 공정 단면도.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <4> 본 발명은 금속 나노 클러스터를 이용하여 수십 나노미터 크기의 양자점(quantum dot)를 이용하여 제조된 비휘발성 단전자 트랜지스터의 제조 방법에 관한 것이다.
- <5> 컴퓨터와 같은 정보 매체의 급속한 보급에 따라 반도체 장치도 비약적으로 발전하고 있다. 그 기능 면에 있어서, 상기 반도체 장치는 고속으로 동작하는 동시에 대용량의 저장 능력을 가질 것이 요구된다. 이러한 요구에 부응하여, 상기 반도체 장치는 집적도, 신뢰도 및 응답 속도 등을 향상시키는 방향으로 제조 기술이 발전되고 있다.

- <6> 디램의 경우, 70nm 정도의 디자인 룰(design rule)을 갖는 64기가 디램(Giga DRAM)이 2008년 정도에 개발될 전망이고, 35nm 정도의 디자인 룰을 갖는 1테라 디램(Tera DRAM)이 2014년 정도에 개발될 전망이다.
- <7> 그러나, 상기 64기가 디램 또는 1테라 디램은 통상의 광학 리소그래피 또는 화학 기상 증착 등과 같은 막 형성 방법 등으로는 그 제조가 어렵다. 따라서, 새로운 제조 방법의 연구가 진행되고 있다.
- <8> 상기 새로운 방법으로서, 일렉트론 빔(electron beam)을 이용한 방법 또는 X-레이를 이용한 방법 등이 통상의 포토리소그래피를 대체하는 기술로서 개발이 진행되고 있고, 원자층 적층(atomic layer deposition) 방법 등이 통상의 막 형성 방법을 대체하는 기술로서 개발이 진행되고 있다. 그리고, 단전자 게이트(single-electron gate) 등에 응용이 가능한 나노미터 등급의 양자점을 갖는 반도체 장치에 대한 연구가 진행되고 있다.
- <9> 상기 양자점을 갖는 반도체 장치 및 그 제조 방법에 대한 예들은 미합중국 특허 제 5,731,598호, 미합중국 특허 제 6,060,743호, 미합중국 특허 제 6,090,666호 및 미합중국 특허 제 6,118,686호 등에 개시되어 있다.
- <10> 상기 양자점의 제조 방법은 크게 다음과 같이 개발되고 있다.
- <11> 에프아이비(FIB : focused ion beam) 또는 일렉트론 빔 등을 이용하는 방법이 있다. 구체적으로, 상기 에프아이비 또는 일렉트론 빔 등을 이용하여 이온 또는 원자를 원하는 부위에 박아 넣어 양자점을 형성하는 방법이다. 상기 방법은 양자점의 크기, 형성 위치 등의 제어가 양호하다. 그러나, 상기 방법은 생산성에 문제가 있기 때문에 상업적으로 이용하기에는 한계가 있다.

- <12> 미합중국 특허 제5,731,598호에 개시된 바와 같이 우연적으로 이루어진 다중 접합 구조의 단전자 소자의 제작을 위해 수십 나노미터의 금속 및 반도체 클러스터를 증착하여 우연적으로 이루어지는 다중접합을 이용한 단전자 소자를 제작함으로써 우연적인 다중접합에서의 수십 나노미터 크기의 양자점을 이용하여 상온 단전자 소자 구조를 효율적으로 제작할 수 있으나, 우연적인 다중접합 구조로 인한 나노 소자 구조를 제작함으로써 소자 크기를 축소할 수 없으며 이에 따른 제작효율이 떨어지는 문제점이 있다.
- <13> 그리고, 미합중국 특허 제6,090,666호에 개시된 바와 같은 핵 형성을 이용하는 방법이 있다. 구체적으로, 상기 방법은 비정질의 박막을 형성한 다음 상기 박막을 대상으로 열처리를 수행한다. 이에 따라, 상기 열처리에 의해 형성되는 모노 결정을 양자점으로 형성한다. 상기 방법은 생산성 관점에서는 유리하다. 그러나, 상기 양자점의 크기, 분포 등의 제어가 어렵다.
- <14> 상기 양자점을 이용한 나노소자 제작을 위해서는 단결정급 결정특성을 갖는 양자점 형성을 가능하게 할 수 있는 기술과 미세하고 균일한 양자점 형성을 가능하게 할 수 있는 기술이 중요하다.
- <15> 따라서, 상기 양자점의 크기, 분포 등의 제어가 용이하고, 상업적으로 이용한 가능한 양자점을 형성하기 위한 새로운 방법이 요구되고 있다.

【발명이 이루고자 하는 기술적 과제】

- <16> 따라서, 본 발명은 상기와 같은 종래 기술의 문제점을 해결하기 위한 것으로, 금속 나노 클러스터를 이용하여 수~수십 나노미터의 미세하고 균일한 특성의 실리콘 양자점을 규칙적으

로 형성할 수 있는 기술을 제공하여 미세하고 균일한 실리콘 양자점을 규칙적으로 형성함에 본 발명의 목적이 있다.

【발명의 구성 및 작용】

- <17> 본 발명의 상기 목적은 실리콘 기판위에 금속 클러스터를 밀도를 조절하여 흡착시키는 제 1공정, 상기 금속 클러스터가 흡착된 기판을 가열하면서 실리콘을 성장시키는 제 2공정, 상기 금속 클러스터를 제거하는 제 3공정, 상기 기판에 실리콘 산화막을 형성하는 제 4공정 및 상기 산화막 상부에 폴리를 증착하고 상기 폴리 및 산화막을 패터닝하는 제 5공정을 포함하는 것을 특징으로 하는 반도체 소자의 양자점 형성방법에 의해 달성된다.
- <18> 본 발명의 상기 목적과 기술적 구성 및 그에 따른 작용효과에 관한 자세한 사항은 본 발명의 바람직한 실시예를 도시하고 있는 도면을 참조한 이하 상세한 설명에 의해 보다 명확하게 이해될 것이다.
- <19> 도 3a는 기판(10)위에 소정 크기의 분포를 갖는 금속 클러스터(11)를 밀도를 조절하여 흡착한다. 이때의 상기 금속은 금, 은 등의 귀금속이나 전이금속 등을 사용하는 것이 바람직하다.
- <20> 상기 금속 클러스터의 크기는 5~50nm정도로 하는 것이 바람직하다.
- <21> 금속 나노 클러스터를 형성하는 방법은 여러 가지가 가능한데 표면에 증착한 뒤 열처리하여 나노 클러스터를 형성하거나 유기 화학적인 방법을 이용하여 유기 리간드에 의해 표면이 불활성화 되어있는 일정한 크기의 금속 클러스터를 표면에 흡착시키는 방법 등이 사용 가능하다.

<22> 도 3b는 금속 클러스터가 흡착된 기판을 가열하면서 화학적 기상증착법(chemical vapor deposition : CVD) 방식으로 실리콘을 성장시키면 실리콘 화학 가스가 금속 클러스터와 접촉하여 실리콘이 선택적으로 용해되고 금속 클러스터와 실리콘 기판사이에만 응결 성장하여 실리콘 나노선이 표면에 수직으로 형성된다. 이때 금속 클러스터는 실리콘 용해, 응결 및 성장의 촉매 역할을 한다.

<23> 도 3c는 형성된 실리콘 위의 금속 클러스터를 제거한 공정단면도이다.

<24> 상기 금속 클러스터는 습식식각이나 건식식각으로 제거할 수 있다.

<25> 도 3d는 실리콘 산화막(13)을 형성한 공정 단면도이다.

<26> 상기 실리콘 산화막은 열 산화 방법을 이용하여 형성한다.

<27> 상기 열 산화 방법은 800~1000℃의 온도범위에서 O_2 Gas나 NO Gas를 이용하여 산화시키는 방법이다.

<28> 상기의 열 산화 방법으로 생성된 산화막을 터널링 산화막으로 이용한다.

<29> 열 산화는 실리콘 표면을 기점으로 위와 아래가 동시에 성장하기 때문에 도 3d와 같은 거의 단결정의 양자점(14)이 생성될 수 있다.

<30> 상기 양자점은 도 1과 같이 채널상에 섬(Island)를 두어 소오스에서 드레인으로 전류 이동시 콘트롤 게이트에 의해 양자점에서 전자를 저장하거나 전자를 F-N 터널링(F-N tunneling)시킨다.

<31> 도 2와 같이 라이팅시에는 채널에 존재하는 전자가 양자점에 에너지 장벽을 넘어 저장되고 라이팅 후에는 쿨롱 차폐(Coulomb Blockade)현상이 발생한다.

<32> 도 3e는 폴리(15)를 증착한 공정 단면도이다.

- <33> 산화막이 형성된 기판에 콘트롤 게이트로 사용하기 위하여 폴리를 증착한다.
- <34> 도 3f는 폴리 및 산화막을 식각한 공정 단면도이다.
- <35> 채널의 길이에 맞추어 폴리를 식각하고 순차적으로 산화막을 제거하여 본 발명이 이루고자 하는 양자점 트랜지스터를 형성한다.
- <36> 상세히 설명된 본 발명에 의하여 본 발명의 특징부를 포함하는 변화들 및 변형들이 당해 기술 분야에서 숙련된 보통의 사람들에게 명백히 쉬워질 것이 자명하다. 본 발명의 그러한 변형들의 범위는 본 발명의 특징부를 포함하는 당해 기술 분야에 숙련된 통상의 지식을 가진 자들의 범위 내에 있으며, 그러한 변형들은 본 발명의 청구항의 범위 내에 있는 것으로 간주된다.

【발명의 효과】

- <37> 따라서, 본 발명의 반도체 소자의 양자점 형성 방법은 금속 나노 클러스터를 마스크로하여 실리콘 양자점을 생성시키므로써 수 ~ 수십 나노미터의 미세하고 균일한 특성의 실리콘 양자점을 규칙적으로 형성할 수 있는 효과가 있다.

【특허청구범위】**【청구항 1】**

실리콘 기판위에 금속 클러스터를 밀도를 조절하여 흡착시키는 제 1공정;

상기 금속 클러스터가 흡착된 기판을 가열하면서 실리콘을 성장시키는 제 2공정;

상기 금속 클러스터를 제거하는 제 3공정;

상기 기판에 실리콘 산화막을 형성하는 제 4공정; 및

상기 산화막 상부에 폴리를 증착하고 상기 폴리 및 산화막을 패터닝하는 제 5공정
을 포함하는 것을 특징으로 하는 반도체 소자의 양자점 형성방법.

【청구항 2】

제 1항에 있어서,

상기 금속 클러스터는 금, 은 및 전이금속으로 이루어진 그룹 중에서 적어도 하나가 선택된
특징으로 하는 반도체 소자의 양자점 형성방법.

【청구항 3】

제 1항에 있어서,

상기 제 2공정에서 실리콘의 성장은 상기 금속 클러스터를 마스크로 하여 CVD방식으로
실리콘을 성장시키는 것을 특징으로 하는 반도체 소자의 양자점 형성방법.

【청구항 4】

제 1항에 있어서,

상기 제 2공정에서 실리콘의 성장은 상기 금속 클러스터와 실리콘 기판 사이에만 응결 성장하여 실리콘이 기판 표면에 수직으로 형성되는 것을 특징으로 하는 반도체 소자의 양자점 형성방법.

【청구항 5】

제 1항에 있어서,

상기 금속 클러스터의 크기는 5~50nm임을 특징으로 하는 반도체 소자의 양자점 형성방법

【청구항 6】

제 1항에 있어서,

상기 제 4공정의 실리콘 산화막은 열 산화 방법을 이용하여 형성하는 것을 특징으로 하는 반도체 소자의 양자점 형성방법.

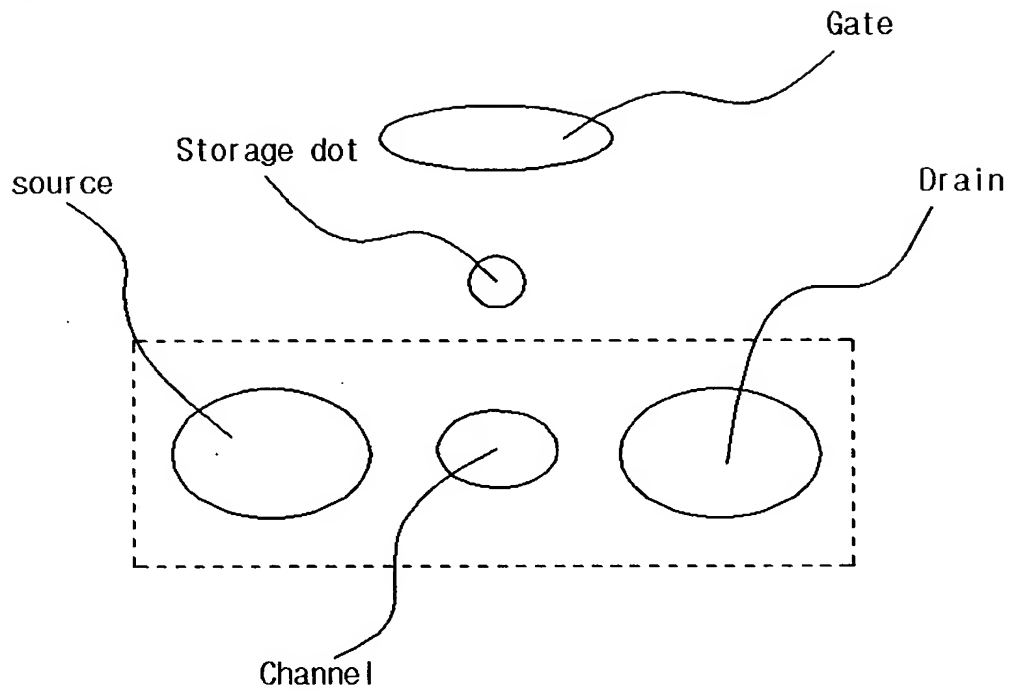
【청구항 7】

제 6항에 있어서,

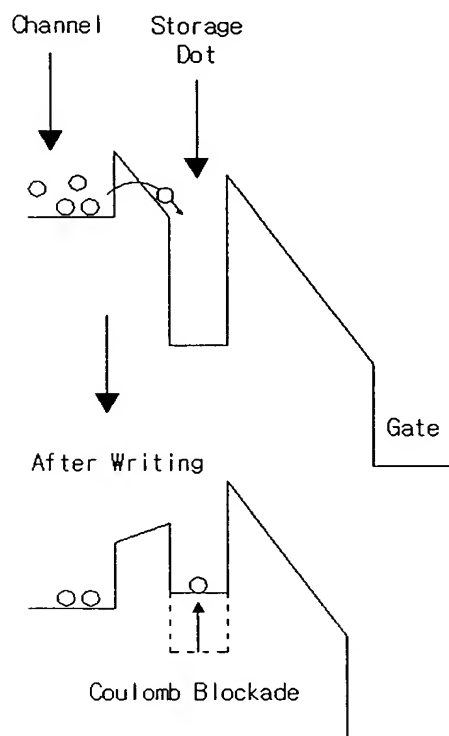
상기 열 산화 방법은 800~1000℃의 온도범위에서 O₂ Gas또는 NO Gas를 이용하여 산화시키는 것을 특징으로 하는 반도체 소자의 양자점 형성방법.

【도면】

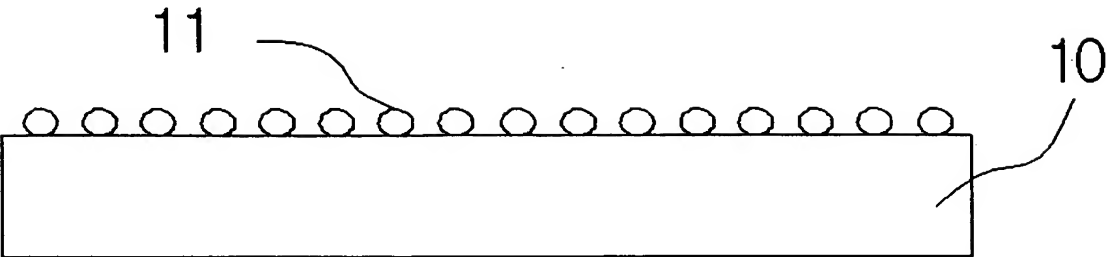
【도 1】



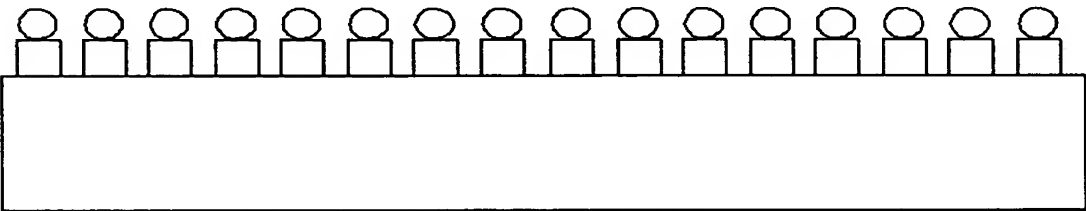
【도 2】



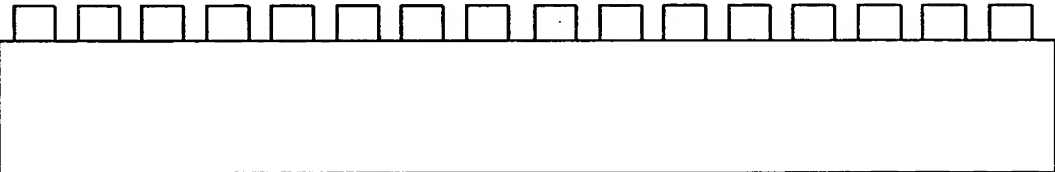
【도 3a】



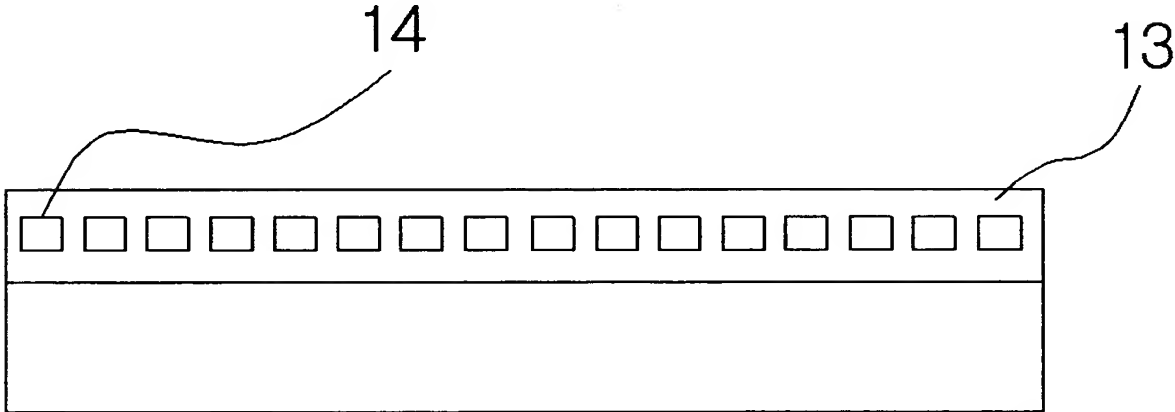
【도 3b】



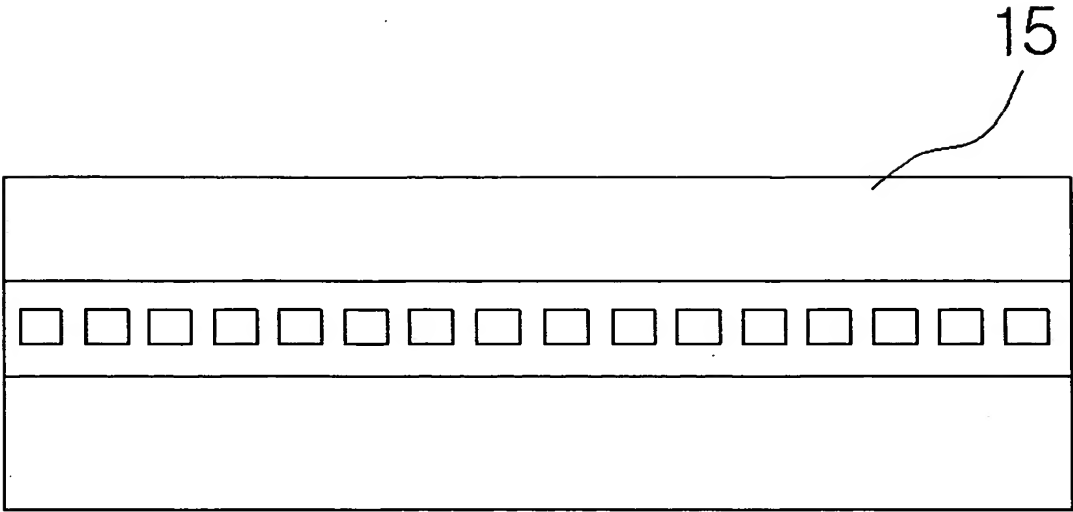
【도 3c】



【도 3d】



【도 3e】



【도 3f】

